

類 科：電力工程、電子工程、電信工程
 科 目：電子學
 考試時間：2 小時

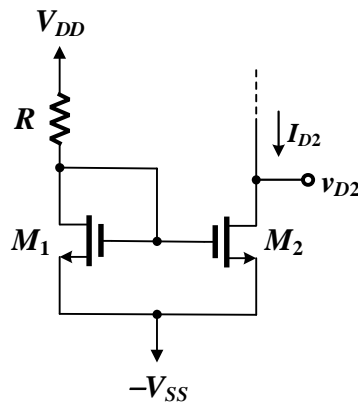
座號：_____

※注意：(一)可以使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

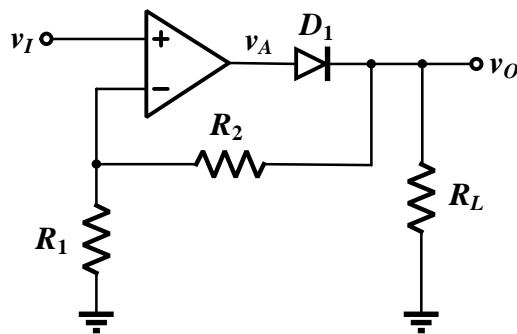
(三)本科目除專門名詞或數理公式外，應使用本國文字作答。

- 一、下圖電路 $V_{DD} = V_{SS} = 5\text{ V}$ ， $I_{D2} = 1\text{ mA}$ ，電晶體 M_1 與 M_2 具有相同的長度 (L)，但其寬度比 $W_2/W_1 = 5$ ，電晶體參數： $k_n'(W/L)_1 = 1\text{ mA/V}^2$ ， $V_t = 0.8\text{ V}$ 。
- (一) 求算 R 值。(10 分)
- (二) 當 M_2 操作於飽和區時，求算 v_{D2} 最小電壓。(10 分)



- 二、下圖電路 $R_1 = 0.5\text{ k}\Omega$ ， $R_2 = 0.5\text{ k}\Omega$ ， $R_L = 1\text{ k}\Omega$ 。

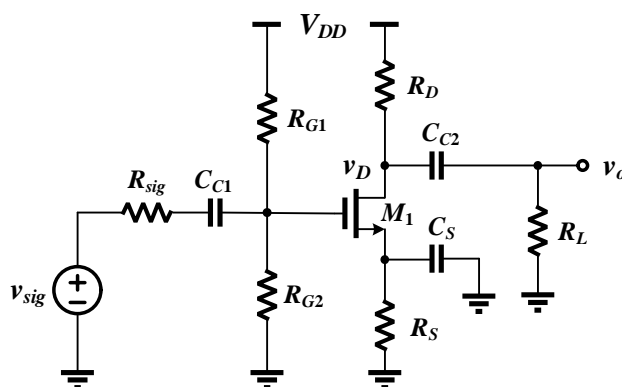
- (一) 假設運算放大器為理想，二極體 D_1 的電壓電流關係式為 $i = I_s(e^{v/V_T} - 1)$ ， $V_T = 25.3\text{ mV}$ ，且當 1 mA 流過 D_1 的跨壓為 0.8 V 。當 $v_I = 2\text{ V}$ ，求算 v_A 。(10 分)
- (二) 假設運算放大器增益為 50，二極體跨壓為固定的 0.8 V ，當 $v_I = 3\text{ V}$ ，求算 v_O 。(10 分)



三、下圖電路 $R_{sig}=125\text{ k}\Omega$ ， $R_{G1}=250\text{ k}\Omega$ ， $R_{G2}=250\text{ k}\Omega$ ， $R_D=4\text{ k}\Omega$ ， $R_S=2\text{ k}\Omega$ ， $R_L=4\text{ k}\Omega$ ， $V_{DD}=5\text{ V}$ ，電晶體參數： $V_t=1\text{ V}$ ， $V_A=50\text{ V}$ 。

(一)當電晶體 $I_D=0.5\text{ mA}$ 及 V_{OV} (overdrive voltage) $=0.5\text{ V}$ ，求算增益 $G_v = v_o/v_{sig}$ (僅直流分析時可忽略通道調變效應)。(8分)

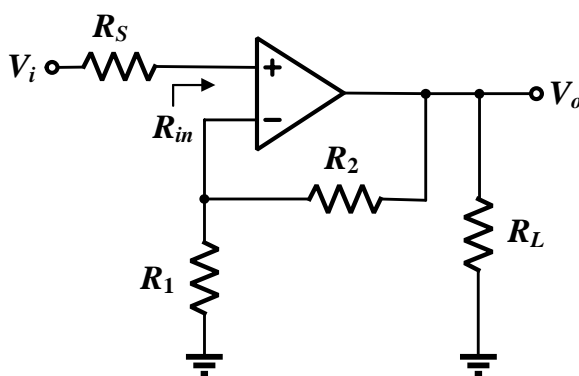
(二)假設 v_{sig} 為弦波信號且電晶體操作於飽和區，求算 v_{sig} 可允許的最大峰值與相對應的 v_D 。(12分)



四、下圖電路 $R_S=10\text{ k}\Omega$ ， $R_1=1\text{ k}\Omega$ ， $R_2=1\text{ M}\Omega$ ， $R_L=2\text{ k}\Omega$ ，運算放大器參數：開路增益 $A_v=1000$ ，輸入差動阻抗 $R_{id}=100\text{ k}\Omega$ ，輸出阻抗 $R_o=1\text{ k}\Omega$ 。

(一)求算閉迴路增益 V_o/V_i 。(10分)

(二)求算 R_{in} 。(10分)



五、(一) CMOS 邏輯包含上拉網路 (pull-up network) 與下拉網路 (pull-down network)，試畫出 CMOS 邏輯 $Y = D + A \cdot (B + C)$ 之電路。(10 分)

(二) 下圖為一反相器電路的標準元件，若要求第(一)小題 CMOS 邏輯需與此標準反相器有相似的傳遞時間，請標示第(一)小題 CMOS 邏輯電路中每顆電晶體的寬長比 (W/L)。(10 分)

